

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-118252

(43)Date of publication of application : 19.04.2002

(51)Int.Cl.

H01L 29/78  
H01L 21/8238  
H01L 27/092

(21)Application number : 2000-307533

(71)Applicant : FUJITSU LTD  
FUJITSU VLSI LTD

(22)Date of filing : 06.10.2000

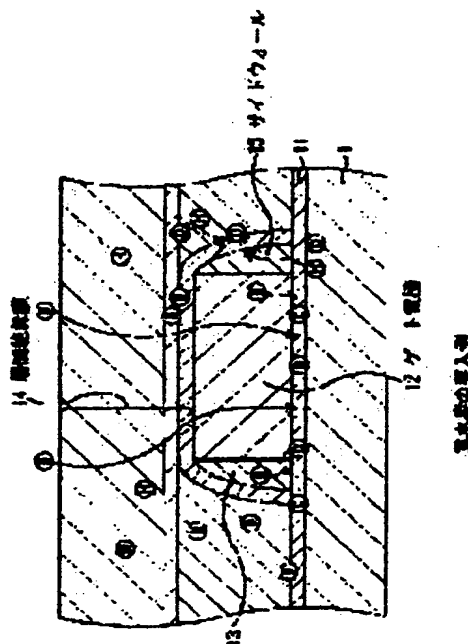
(72)Inventor : IRINO KIYOSHI  
WATANABE SATORU  
TAMURA YASUYUKI  
WATAYA HIROFUMI  
OHASHI HIDEAKI

## (54) MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To further thin nitrogen or metal-containing gate insulating films and to improve the hot carrier resistance of a semiconductor device in the manufacture of the device having the gate insulating films.

**SOLUTION:** Gate insulating films 34 are formed in a semiconductor device. After various upper multilayer structures are formed, heavy hydrogen molecules ( $D_2$ ) or an atomic heavy hydrogen ( $D^*$ ) is introduced within the films of the films 34 and in the interface between the films 34 by a heavy hydrogen heat treatment. This heat treatment can be performed a plurality of times at the appropriate time during processing in the manufacturing method of the semiconductor device.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-118252

(P2002-118252A)

(43) 公開日 平成14年4月19日 (2002.4.19)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード(参考)

H 0 1 L 29/78  
21/8238  
27/092

H 0 1 L 29/78  
27/08

3 0 1 G 5 F 0 4 0  
3 2 1 D 5 F 0 4 8

審査請求 未請求 請求項の数9 O L (全 11 頁)

(21) 出願番号 特願2000-307533(P2000-307533)

(22) 出願日 平成12年10月6日 (2000.10.6)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(71) 出願人 000237617

富士通ヴィエルエスアイ株式会社

愛知県春日井市高蔵寺町2丁目1844番2

(72) 発明者 入野 清

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74) 代理人 100090273

弁理士 國分 孝悦

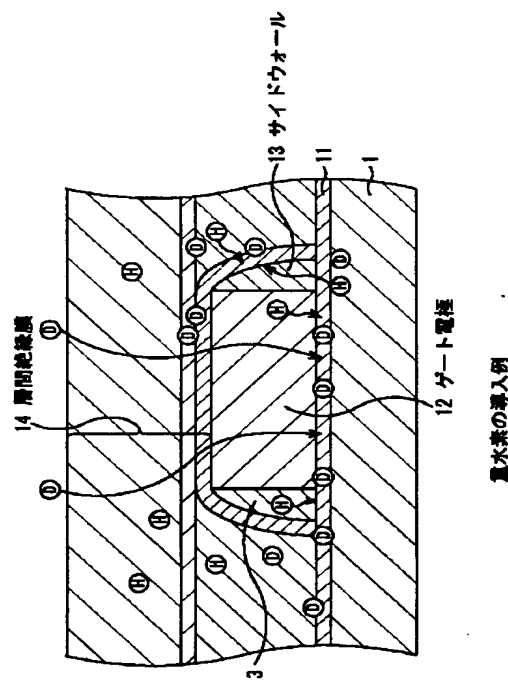
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 窒素又は金属を含有するゲート絶縁膜を有する半導体装置の製造するにあたって、ゲート絶縁膜の更なる薄膜化を実現するとともに、ホットキャリア耐性を向上させる。

【解決手段】 ゲート絶縁膜34を形成し、諸々の上部多層構造を形成した後、重水素熱処理によりゲート絶縁膜34の膜内及び界面に重水素分子(D<sub>2</sub>)又は原子状重水素(D\*)を導入する。この重水素熱処理は、適当な工程時期に複数回行うようにしても良い。



## 【特許請求の範囲】

【請求項1】 窒素を含有するゲート絶縁膜を有する半導体装置の製造方法であって、

前記ゲート絶縁膜を形成した後に、重水素雰囲気にて熱処理を施し、前記ゲート絶縁膜の膜中及び少なくとも一方の界面に含まれるN-H結合とN-D（重水素）結合との比率において、自然界に存在するH：Dの割合に比してN-D結合の比率が高くなるように制御することを特徴とする半導体装置の製造方法。

【請求項2】 金属を含有するゲート絶縁膜を有する半導体装置の製造方法であって、

前記ゲート絶縁膜を形成した後に、重水素雰囲気にて熱処理を施し、前記ゲート絶縁膜の膜中及び少なくとも一方の界面に含まれるMe（金属）-H結合との比率において、自然界に存在するH：Dの割合に比してMe-D結合の比率が高くなるように制御することを特徴とする半導体装置の製造方法。

【請求項3】 窒素を含有するゲート絶縁膜を有する半導体装置の製造方法であって、

前記ゲート絶縁膜を形成した後、前記ゲート絶縁膜上に各種層からなる上部多層構造を形成するまでの間に、少なくとも1層の形成工程を介して、重水素雰囲気にて熱処理を施す工程を複数回行ない、

前記各熱処理工程にて、前記ゲート絶縁膜の膜中及び少なくとも一方の界面に含まれるN-H結合とN-D（重水素）結合との比率において、自然界に存在するH：Dの割合に比してN-D結合の比率が高くなるように制御することを特徴とする半導体装置の製造方法。

【請求項4】 前記ゲート電極及び／又はその上層の配線層に金属シリサイドを形成するに際して、

前記金属シリサイドを形成する前に、前記熱処理工程を行なうことを特徴とする請求項3に記載の半導体装置の製造方法。

【請求項5】 前記ゲート電極及び／又はその上層の配線層に金属シリサイドを形成するに際して、

前記金属シリサイドを形成するときに、当該金属シリサイドの反応雰囲気中に重水素を含ませ、前記金属シリサイドの形成工程及び前記熱処理工程を同時に行なうことを特徴とする請求項3に記載の半導体装置の製造方法。

【請求項6】 金属を含有するゲート絶縁膜を有する半導体装置の製造方法であって、

前記ゲート絶縁膜を形成した後、前記ゲート絶縁膜上に各種層からなる上部多層構造を形成するまでの間に、少なくとも1層の形成工程を介して、重水素雰囲気にて熱処理を施す工程を少なくとも2回行ない、

前記各熱処理工程にて、前記ゲート絶縁膜の膜中及び少なくとも一方の界面に含まれるMe（金属）-H結合とMe-D（重水素）結合との比率において、自然界に存在するH：Dの割合に比してMe-D結合の比率が高くなるように制御することを特徴とする半導体装置の製造

方法。

【請求項7】 前記熱処理工程の際に、重水素又は重水素を含む化合物の気体中でプラズマを励起し、前記上部多層構造を介して前記ゲート絶縁膜の膜中及び少なくとも一方の界面に重水素を導入することを特徴とする請求項6に記載の半導体装置の製造方法。

【請求項8】 前記ゲート電極及び／又はその上層の配線層に金属シリサイドを形成するに際して、前記金属シリサイドを形成する前に、前記熱処理工程を行なうことを特徴とする請求項6又は7に記載の半導体装置の製造方法。

【請求項9】 前記ゲート電極及び／又はその上層の配線層に金属シリサイドを形成するに際して、前記金属シリサイドを形成するときに、当該金属シリサイドの反応雰囲気中に重水素を含ませ、前記金属シリサイドの形成工程及び前記熱処理工程を同時に行なうことを特徴とする請求項6又は7に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、窒素を含有するゲート絶縁膜、又は金属を含有するゲート絶縁膜を有する半導体装置の製造方法に関する。

## 【0002】

【従来の技術】近年、半導体素子の更なる高集積化・高速動作化の要請に伴い、特に超高速CMOS-LSIにおいて、トランジスタの微細化・高駆動能力の要求が高まっており、これに応えるため、ゲート絶縁膜の薄膜化が進み、酸化膜厚換算で2.5nm程度以下のものが用いられている。

【0003】このように、ゲート絶縁膜の薄膜化が進む一方で、チャネルのホットキャリアによる駆動力の低下や閾値電圧の変化（例えばpチャネルトランジスタであれば、ゲート絶縁膜の薄膜化に起因する所謂ボロン抜けによる場合が多い。）が顕著となる問題が生じる。この問題に対処するため、次世代の技術として、窒素を基板界面に偏析されてなる酸化窒素膜や金属酸化物を含むゲート絶縁膜を形成し、ゲート絶縁膜の更なる薄膜化に対処する手法が検討されている。

## 【0004】

【発明が解決しようとする課題】しかしながら、酸化窒素膜や金属酸化物を含むゲート絶縁膜を用いる次世代では、更なる薄膜化が進み、チャネルのホットキャリアによる駆動力劣化の問題がより深刻となることが判っている。この劣化原因としては、当該ゲート絶縁膜中のN-H結合又はMe（金属）-H結合が、電子トラップとして働くためであることが判明している。

【0005】ところで、例えば特開2000-77621号公報には、高誘電率膜又は強誘電率膜を容量絶縁膜として有するキャパシタを備えた半導体記憶素子、所謂

3

FRAMにおいて、重水素熱処理によりシリコン基板とゲート絶縁膜との界面に重水素を導入し、その後、例えば酸素中で回復熱処理を行なう旨が開示されている。この手法によれば、シリコンの未結合手が重水素により終端され、容量絶縁膜のリーク特性を回復させ、ホットキャリア耐性を向上させることができると記載されている。

【0006】この場合、高誘電率膜又は強誘電率膜を容量絶縁膜として有するFRAMでは、確かに素子の微細化・高集積化によるリーク特性の回復を図るには前記回復熱処理が必須であると考えられる。しかしながら、これは飽くまでFRAM独自の構造に起因する事柄であり、リーク特性の回復を第一義的に考え、ホットキャリア耐性のある程度の犠牲を厭わない手法である。CMOSトランジスタ等では、素子の微細化・高集積化に対処するため窒素含有又は金属含有のゲート絶縁膜を開発し、当該ゲート絶縁膜の欠点としてホットキャリア耐性の劣化抑止が課題とされているのであり、従って、ホットキャリア耐性の向上を重要視するCMOSトランジスタ等にこれを適用することはできないものと考えられる。

【0007】また、特開平11-274489号公報には、ゲート絶縁膜とゲート電極との界面に重水素を添加する技術が開示されているが、当該界面に重水素を導入するだけでは、ゲート絶縁膜、特に本発明の対象とする窒素又は金属を含有する次世代のゲート絶縁膜の薄膜化に対処することは困難である。

【0008】本発明は、前記課題に鑑みてなされたものであり、窒素又は金属を含有するゲート絶縁膜を有する半導体装置の製造するにあたって、ゲート絶縁膜の更なる薄膜化を実現するとともに、ホットキャリア耐性を向上させ、半導体素子の微細化・高集積化に対応した信頼性の高い半導体装置を製造する方法を提供することを目的とする。

【0009】

【課題を解決するための手段】本発明者は、鋭意検討の結果、以下に示す発明の態様に想到した。

【0010】本発明は、窒素又は金属を含有するゲート絶縁膜を有する半導体装置の製造方法を対象とし、前記ゲート絶縁膜を形成した後に、重水素雰囲気にて熱処理を施し、前記ゲート絶縁膜の膜中及び少なくとも一方の界面に含まれるN-H結合(Me(金属)-H結合)とN-D(重水素)結合(Me-D(重水素)結合)との比率において、自然界に存在するH:Dの割合に比してN-D結合の比率が高くなるように制御することを特徴とするものである。

【0011】また、本発明の他の態様は、窒素又は金属を含有するゲート絶縁膜を有する半導体装置の製造方法を対象とし、前記ゲート絶縁膜を形成した後、前記ゲート絶縁膜上に各種層からなる上部多層構造を形成するま

4

での間に、少なくとも1層の形成工程を介して、重水素雰囲気にて熱処理を施す工程を複数回行ない、前記各熱処理工程にて、前記ゲート絶縁膜の膜中及び少なくとも一方の界面に含まれるN-H結合(Me(金属)-H結合)とN-D(重水素)結合(Me-D(重水素)結合)との比率において、自然界に存在するH:Dの割合に比してN-D結合の比率が高くなるように制御することを特徴とするものである。

【0012】この場合、具体的に、前記ゲート絶縁膜は、金属酸化物又は金属酸化物にシリコンを含有する金属シリケートを含む単層膜、あるいは当該単層膜に酸化膜又は酸化窒化膜を組み合わせた積層膜とすることが好適である。

【0013】重水素雰囲気の前記熱処理における温度条件が200℃～650℃の範囲内の値とすることが好ましい。

【0014】また、前記熱処理工程の際に、重水素又は重水素を含む化合物の気体中でプラズマを励起し、前記上部多層構造を介して前記ゲート絶縁膜の膜中及び少なくとも一方の界面に重水素を導入することが好適である。

【0015】本発明は、シリサイド(サリサイド)形成を行なう場合には、前記金属シリサイドを形成する前に、前記熱処理工程を行なうようにしたり、前記金属シリサイドを形成するときに、当該金属シリサイドの反応雰囲気中に重水素を含ませ、前記金属シリサイドの形成工程及び前記熱処理工程を同時に行なうことが好ましい。

【0016】

【作用】本発明においては、窒素又は金属を含有するゲート絶縁膜の成膜後に重水素を導入することにより、当該ゲート絶縁膜で電子トラップとなり易いN-H結合又はMe-H結合の一部をN-D結合又はMe-D結合に変更する。重水素は水素に比して質量が大きいため、ホットキャリアの衝突により前記結合に励起が生じて、結合手が切断され難く、電子トラップの発生が抑止される。

【0017】また、重水素の導入時期は、ゲート絶縁膜内(及び界面)に所定量のN-D結合又はMe-D結合を確保する必要から、ゲート絶縁膜の成膜直後の工程であることが望ましい。しかしながら、その後の上部多層構造を形成する各種工程において高温の熱処理を要し、これにより電子トラップが発生してチャネルのホットキャリア耐性が劣化するおそれがある。そこで、ゲート絶縁膜上に各種層からなる上部多層構造を形成するまでの間に、少なくとも1層の形成工程を介して、重水素雰囲気にて熱処理を施す工程を少なくとも2回(複数回)行う。これにより、ゲート絶縁膜内(及び界面)への重水素の拡散が助長され、所定量のN-D結合又はMe-D結合が十分に確保されることになり、ホットキャリア耐性の向上が実現する。

5

## 【0018】

【発明の実施の形態】以下、本発明を適用した具体的な諸実施形態について、図面を参照しながら詳細に説明する。

## 【0019】—本発明の骨子—

始めに、本発明の骨子について説明する。

【0020】（主要原理の説明）先ず、本発明の主要原理について説明する。ここでは、ゲート絶縁膜として、窒素を含有する絶縁膜である $\text{SiO}_2$ 膜と $\text{SiN}$ 膜の多層膜を形成する場合について例示する。図1に示すように、先ずシリコン基板1の表面に熱酸化法により $\text{SiO}_2$ 膜2を形成し、続いてCVD法により $\text{SiN}$ 膜3を形成し、 $\text{SiO}_2$ 膜2及び $\text{SiN}$ 膜3からなるゲート絶縁膜11を構成する。そして、ゲート電極材料である多結晶シリコン膜4を形成した後、重水素熱処理によりゲート絶縁膜11の膜内及び界面に重水素分子( $\text{D}_2$ )又は原子状重水素( $\text{D}^*$ )を導入する。

【0021】このとき、ゲート絶縁膜11では、図2に示すように、重水素導入前に $\text{SiON}$ であった部分、 $\text{Si}_3\text{N}_4$ であった部分に重水素が結合し、 $\text{N-D}$ 結合が形成される。即ち、 $\text{N}$ のダングリングボンドに、軽水素( $\text{H}$ )が結合しているところを重水素( $\text{D}$ )に置き換える。

【0022】ここで、重水素雰囲気による熱処理の優位性について調べた実験例について説明する。この実験は、各種雰囲気において熱処理した際のライフタイム（寿命）の飽和電流依存性を調べたものであり、 $\text{D}_2$ 雰囲気、 $\text{N}_2$ 雰囲気、 $\text{H}_2$ 雰囲気、3% $\text{H}_2/\text{N}_2$ 雰囲気、熱処理なしの各場合について調べた。ここでは、ライフタイムを飽和電流が10%低下するまでの時間として定義する。

【0023】実験の結果、図3に示すように、 $\text{D}_2$ 雰囲気、 $\text{N}_2$ 雰囲気、 $\text{H}_2$ 雰囲気、3% $\text{H}_2/\text{N}_2$ 雰囲気、熱処理なしの順にライフタイムの向上がみられ、 $\text{D}_2$ 雰囲気による熱処理の優位性が確認された。

【0024】これは、 $\text{D}$ が $\text{H}$ の2倍の質量を持つため、 $\text{N-D}$ 結合では $\text{N-H}$ 結合に比して電子が衝突した際の結合手の振動が遅くなり、切断され難くなるためであると考えられる。従って、 $\text{D}_2$ 雰囲気で熱処理を施すことにより、電子トラップの発生を抑止し、ホットキャリア耐性を向上させることが可能となる。

【0025】ここでは、窒素含有のゲート絶縁膜について説明したが、金属含有のゲート絶縁膜（例えば、金属酸化物又は金属シリケートを含むゲート絶縁膜）についても同様に考えられ、 $\text{Me-H}$ 結合の一部を $\text{Me-D}$ 結合に置き換え、励起された電子の衝突による結合手の切断を抑制することが可能となる。

【0026】（重水素の好適な導入時期）続いて、半導体装置の製造工程において、重水素導入の好適な時期について考察する。ゲート絶縁膜内（及び界面）に、所定

6

量の $\text{N-D}$ 結合又は $\text{Me-D}$ 結合を所定量確保することが必要であることから、ゲート絶縁膜の成膜直後に重水素導入を行なうことが望ましい。しかしながら、その後の上部多層構造を形成する各種工程において高温の熱処理を要し、これにより電子トラップが発生してチャネルのホットキャリア耐性が劣化するおそれがある。

【0027】ここで、重水素導入後に、各種熱処理を行なった際のライフタイム（寿命）の飽和電流依存性を調べた実験例について説明する。各種熱処理としては、 $\text{D}_2$ 熱処理後に $\text{N}_2$ 熱処理を行なった場合、 $\text{D}_2$ 熱処理後に $\text{H}_2$ 熱処理を行なった場合について例示する。なお、ライフタイムの定義については上記と同様である。

【0028】実験の結果、図4に示すように、 $\text{D}_2$ 熱処理のみの場合に比して、 $\text{D}_2$ 熱処理後に $\text{N}_2$ 熱処理を行なった場合、 $\text{D}_2$ 熱処理後に $\text{H}_2$ 熱処理を行なった場合の順にライフタイムの低下がみられる。これは、 $\text{D}_2$ 熱処理後の各種熱処理によりホットキャリア耐性が劣化することを意味する。

【0029】前記実験結果から、重水素導入後には、できるだけ熱処理を回避することが望ましいことが判る。そこで、図5に示すように、ゲート絶縁膜11上の多結晶シリコン膜4をパターニングしてゲート電極12を形成し、更に $\text{SiO}_2$ からなるサイドウォール13や、 $\text{SiN}$ 膜、 $\text{SiON}$ 膜、及び $\text{SiO}_2$ 膜からなる層間絶縁膜14等の上層多層構造を形成した後に、重水素導入を行なう。

【0030】実際に、上記の構成に加え、 $\text{CoSi}$ 層や $\text{SiN}$ 膜、 $\text{SiON}$ 膜等を形成して上層多層構造を形成し、その後に重水素導入を実行し、 $\text{D}$ 、 $\text{H}$ 、 $\text{N}$ のプロファイルについて調べた。実験の結果、図6に示すように、窒素を含有する絶縁膜（ここでは各 $\text{SiON}$ 膜）に重水素が偏析することが判った。

【0031】前記実験結果では、図5の層間絶縁膜14の $\text{SiON}$ 膜及びその上層に形成された $\text{SiON}$ 膜に多くの重水素が偏析しており、ゲート絶縁膜11中の重水素はこれに比べると少ない。この場合でも、ホットキャリア耐性の許容し得る程度の向上は認められるが、ゲート絶縁膜11中の重水素を更に増加させてホットキャリア耐性を十分に向上させることを考え、ゲート絶縁膜11の形成後に、上層多層構造のうちの少なくとも1層の形成工程を介して、複数回の重水素導入を行なうことが好適である。これにより、ゲート絶縁膜11内及びその界面への重水素の拡散が助長され、所定量の $\text{N-D}$ 結合が十分に確保されることになり、ホットキャリア耐性の十分な向上を実現することができる。

【0032】（金属を含有するゲート絶縁膜の一例）次に、 $\text{Ti}$ 膜をゲート絶縁膜として形成する場合について説明する。この場合、図7に示すように、スパッタ装置のチャンパー内に $\text{Ti}$ ターゲット21及びシリコン基板1を設置し、 $\text{Ar}$ に5%の $\text{D}_2$ を含むスパッタガスをチ

7

チャンバー内に導入してスパッタする。これにより、シリコン基板1の表面にD<sub>2</sub>が導入されたTi膜22が成膜され、これをゲート絶縁膜として用いる。

【0033】ここでは、D<sub>2</sub>を含む雰囲気中でスパッタリングを行なうため、爆発を誘発することなく適量のD<sub>2</sub>を導入することができる。Ti膜中に十分多くのD<sub>2</sub>を導入できるため、後工程で水素を外側からシリコン基板の界面に導入する際に、効率良くこれを行なうことが可能となる。

【0034】一、半導体装置の製造方法の具体例一  
以下、上述した本発明の主要原理を踏まえ、本実施形態のMOSトランジスタの製造方法について説明する。図8及び図9は、本実施形態のCMOSトランジスタの製造方法を工程順に示す概略断面図である。

【0035】先ず、図8(a)に示すように、P型MOSトランジスタを形成するためのNウェル30の形成に続き、素子形成領域を画定するため、素子分離構造32を形成する。具体的には、先ず、P型のシリコン基板31の所定部位にN型不純物、ここではリン(P)をドー

【0036】次に、シリコン基板31の素子分離領域に溝33をパターンニングにより形成し、この溝33を埋め込むようにCVD法によりSiO<sub>2</sub>を堆積した後、化学機械研磨法(CMP法)により研磨し、溝33内にSiO<sub>2</sub>が埋め込まれてなる素子分離構造32を形成する。

【0037】続いて、図8(b)に示すように、ゲート絶縁膜34を形成する。具体的には、図1で示した形成方法と同様に、シリコン基板31の表面に熱酸化法によりSiO<sub>2</sub>膜を形成し、続いてCVD法によりSiN膜

【0038】続いて、図8(c)に示すように、ゲート電極35をパターン形成する。具体的には、ゲート絶縁膜34上にCVD法によりゲート電極材料である多結晶シリコン膜を膜厚200nm程度に形成し、パターンニングすることにより帯状のゲート電極35を形成する。

【0039】続いて、図8(d)に示すように、ソース/ドレイン36a、36bを形成する。具体的には、先ず、P型MOSトランジスタの形成部位をマスクし、N型MOSトランジスタの形成部位のゲート電極35をマスクとして、ゲート電極35の両側におけるシリコン基板31の表層にN型不純物、ここではリン(P)をドー

【0040】次に、N型MOSトランジスタの形成部位をマスクし、P型MOSトランジスタの形成部位のゲート電極35をマスクとして、ゲート電極35の両側におけるシリコン基板31の表層にP型不純物、ここでは硼

8

素(B)をドーズ量 $8 \times 10^{14} / \text{cm}^2$ 、加速エネルギー1.0keVの条件でイオン注入し、ソース/ドレイン36bを形成する。

【0041】次に、ゲート電極35を覆うように、CVD法によりSiO<sub>2</sub>を堆積し、全面を異方性エッチングしてゲート電極35の側面のみにSiO<sub>2</sub>を残し、サイドウォール37を形成する。

【0042】続いて、図9(a)に示すように、サリサイド構造を形成する前に、重水素熱処理を施してゲート絶縁膜34の膜中及びその界面に重水素を導入する。具体的には、先ず、5%以上、ここでは99%の重水素雰囲気中で温度200℃~650℃、ここでは500℃でアニールし、ゲート絶縁膜34の膜中及びその界面に重水素を導入してN-D結合を形成する。

【0043】次に、全面にCo膜を膜厚10nm程度に形成し、400℃~700℃、ここでは500℃でアニールし、ゲート電極35の表層及びソース/ドレイン36a、36bの表層とCo膜を反応させてCo-Si層38を形成する。その後、未反応部分として残存したCo膜をウェットエッチングにより除去する。

【0044】なお、Co膜の替わりにTi膜やW膜とTiN膜の積層膜、W膜とMN膜の積層膜等を形成し、それに応じたシリサイド形成を行なうようにしても好適である。

【0045】また、重水素アニール工程に続いてサリサイド工程を行なう替わりに、即ち金属シリサイドの反応雰囲気中に重水素を含ませて、両工程を同時に行なうようにしても好適である。

【0046】続いて、図9(b)に示すように、層間絶縁膜39を形成する。具体的には、先ず、全面を覆うようにプラズマCVD法によりSiO膜40を膜厚20nm程度に形成し、次いでプラズマCVD法によりSiN膜41を膜厚80nm程度に、そしてプラズマCVD法によりSiO<sub>2</sub>膜42を膜厚950nm程度に形成し、これらSiN膜40、SiON膜41、及びSiO<sub>2</sub>膜42からなる層間絶縁膜39を形成する。

【0047】続いて、図9(c)に示すように、配線形成工程を行なう前に、再び重水素熱処理を施してゲート絶縁膜34の膜中及びその界面に重水素を導入する。

【0048】具体的には、先ず、5%以上、ここでは99%の重水素雰囲気中で温度200℃~650℃、ここでは500℃でアニールし、ゲート絶縁膜34の膜中及びその界面に重水素を導入してN-D結合を形成する。

【0049】この場合、通常のアニール処理に替えて、重水素又は重水素を含む化合物の気体中でプラズマを励起し、層間絶縁膜39等を介してゲート絶縁膜34の膜中及び界面に重水素を導入するようにしても良い。このように、プラズマ励起を利用することにより、より確実な重水素の導入が可能となる。

【0050】次に、層間絶縁膜39を貫通してソース/

10

20

30

40

50

9

ドレイン36a, 36bの表面の一部を露出させるコンタクト孔43を形成し、コンタクト孔43を埋め込むようにW膜を形成した後、CMP法により表面研磨して、コンタクトプラグ(Wプラグ)44を形成する。

【0051】しかる後、重水素雰囲気でシンタリングを施し、金属配線のパターン形成、層間絶縁膜の形成等を経て、P型MOSトランジスタ及びN型MOSトランジスタを備えたCMOSトランジスタを完成させる。

【0052】以上説明したように、本実施形態によれば、窒素(又は金属)を含有するゲート絶縁膜を有する半導体装置(CMOSトランジスタ)の製造するにあたって、ゲート絶縁膜34(11)の更なる薄膜化を実現するとともに、ホットキャリア耐性を向上させ、微細化・高集積化に対応した信頼性の高い半導体装置を製造することができる。

【0053】以下、本発明の諸態様を付記としてまとめて記載する。

【0054】(付記1) 窒素を含有するゲート絶縁膜を有する半導体装置の製造方法であって、前記ゲート絶縁膜を形成した後、重水素雰囲気にて熱処理を施し、前記ゲート絶縁膜の膜中及び少なくとも一方の界面に含まれるN-H結合とN-D(重水素)結合との比率において、自然界に存在するH:Dの割合に比してN-D結合の比率が高くなるように制御することを特徴とする半導体装置の製造方法。

【0055】(付記2) 前記ゲート絶縁膜は、酸窒化膜、窒化膜、酸化膜/窒化膜の積層膜、及び酸窒化膜/酸化膜の積層膜のうちのいずれか1つであることを特徴とする付記1に記載の半導体装置の製造方法。

【0056】(付記3) 重水素雰囲気の前記熱処理における温度条件が200℃～650℃の範囲内の値であることを特徴とする付記1又は2に記載の半導体装置の製造方法。

【0057】(付記4) 金属を含有するゲート絶縁膜を有する半導体装置の製造方法であって、前記ゲート絶縁膜を形成した後、重水素雰囲気にて熱処理を施し、前記ゲート絶縁膜の膜中及び少なくとも一方の界面に含まれるMe(金属)-H結合とMe-D(重水素)結合との比率において、自然界に存在するH:Dの割合に比してMe-D結合の比率が高くなるように制御することを特徴とする半導体装置の製造方法。

【0058】(付記5) 前記ゲート絶縁膜は、金属酸化物又は金属酸化物にシリコンを含有する金属シリケートを含む単層膜、あるいは当該単層膜に酸化膜又は酸窒化膜を組み合わせた積層膜であることを特徴とする付記4に記載の半導体装置の製造方法。

【0059】(付記6) 前記ゲート絶縁膜は、成膜した後、重水素雰囲気にて熱処理をしてその膜中に重水素を蓄え、その膜がTi又はTiを含有する膜であることを特徴とする付記4に記載の半導体装置の製造方法。

10

【0060】(付記7) 重水素雰囲気の前記熱処理における温度条件が200℃～650℃の範囲内の値であることを特徴とする付記4～6のいずれか1項に記載の半導体装置の製造方法。

【0061】(付記8) 窒素を含有するゲート絶縁膜を有する半導体装置の製造方法であって、前記ゲート絶縁膜を形成した後、前記ゲート絶縁膜上に各種層からなる上部多層構造を形成するまでの間に、少なくとも1層の形成工程を介して、重水素雰囲気にて熱処理を施す工程を複数回行ない、前記各熱処理工程にて、前記ゲート絶縁膜の膜中及び少なくとも一方の界面に含まれるN-H結合とN-D(重水素)結合との比率において、自然界に存在するH:Dの割合に比してN-D結合の比率が高くなるように制御することを特徴とする半導体装置の製造方法。

【0062】(付記9) 前記上部多層構造は、窒素を含有する絶縁膜を含むことを特徴とする付記8に記載の半導体装置の製造方法。

【0063】(付記10) 前記ゲート絶縁膜は、酸窒化膜、窒化膜、酸化膜/窒化膜の積層膜、及び酸窒化膜/酸化膜の積層膜のうちのいずれか1つであることを特徴とする付記8又は9に記載の半導体装置の製造方法。

【0064】(付記11) 重水素雰囲気の前記熱処理における温度条件が200℃～650℃の範囲内の値であることを特徴とする付記8～10のいずれか1項に記載の半導体装置の製造方法。

【0065】(付記12) 前記熱処理工程の際に、重水素又は重水素を含む化合物の気体中でプラズマを励起し、前記上部多層構造を介して前記ゲート絶縁膜の膜中及び少なくとも一方の界面に重水素を導入することを特徴とする付記8～11のいずれか1項に記載の半導体装置の製造方法。

【0066】(付記13) 前記ゲート電極及び/又はその上層の配線層に金属シリサイドを形成するに際して、前記金属シリサイドを形成する前に、前記熱処理工程を行なうことを特徴とする付記8～12のいずれか1項に記載の半導体装置の製造方法。

【0067】(付記14) 前記ゲート電極及び/又はその上層の配線層に金属シリサイドを形成するに際して、前記金属シリサイドを形成するときに、当該金属シリサイドの反応雰囲気中に重水素を含ませ、前記金属シリサイドの形成工程及び前記熱処理工程を同時に行なうことを特徴とする付記8～12のいずれか1項に記載の半導体装置の製造方法。

【0068】(付記15) 金属を含有するゲート絶縁膜を有する半導体装置の製造方法であって、前記ゲート絶縁膜を形成した後、前記ゲート絶縁膜上に各種層からなる上部多層構造を形成するまでの間に、少なくとも1層の形成工程を介して、重水素雰囲気にて熱処理を施す工程を少なくとも2回行ない、前記各熱処理工程にて、

11

前記ゲート絶縁膜の膜中及び少なくとも一方の界面に含まれるMe（金属）-H結合とMe-D（重水素）結合との比率において、自然界に存在するH：Dの割合に比してMe-D結合の比率が高くなるように制御することを特徴とする半導体装置の製造方法。

【0069】（付記16） 前記ゲート絶縁膜は、金属酸化物又は金属酸化物にシリコンを含有する金属シリケートを含む単層膜、あるいは当該単層膜に酸化膜又は酸化窒化膜を組み合わせた積層膜であることを特徴とする付記15に記載の半導体装置の製造方法。

【0070】（付記17） 前記ゲート絶縁膜は、成膜した後に重水素雰囲気にて熱処理をしてその膜中に重水素を蓄え、その膜がTi又はTiを含有する膜であることを特徴とする付記15に記載の半導体装置の製造方法。

【0071】（付記18） 重水素雰囲気の前記熱処理における温度条件が200℃～650℃の範囲内の値であることを特徴とする付記15～17のいずれか1項に記載の半導体装置の製造方法。

【0072】（付記19） 前記熱処理工程の際に、重水素又は重水素を含む化合物の気体中でプラズマを励起し、前記上部多層構造を介して前記ゲート絶縁膜の膜中及び少なくとも一方の界面に重水素を導入することを特徴とする付記15～18のいずれか1項に記載の半導体装置の製造方法。

【0073】（付記20） 前記ゲート電極及び／又はその上層の配線層に金属シリサイドを形成するに際して、前記金属シリサイドを形成する前に、前記熱処理工程を行なうことを特徴とする付記15～19のいずれか1項に記載の半導体装置の製造方法。

【0074】（付記21） 前記ゲート電極及び／又はその上層の配線層に金属シリサイドを形成するに際して、前記金属シリサイドを形成するときに、当該金属シリサイドの反応雰囲気に重水素を含ませ、前記金属シリサイドの形成工程及び前記熱処理工程を同時に行なうことを特徴とする付記15～19のいずれか1項に記載の半導体装置の製造方法。

【0075】

【発明の効果】本発明によれば、窒素又は金属を含有するゲート絶縁膜を有する半導体装置の製造するにあたって、ゲート絶縁膜の更なる薄膜化を実現するとともに、

12

ホットキャリア耐性を向上させ、半導体素子の微細化・高集積化に対応した信頼性の高い半導体装置を製造する方法を提供することが可能となる。

【図面の簡単な説明】

【図1】本実施形態による半導体装置の製造方法において、ゲート絶縁膜の形成工程を示す概略断面図である。

【図2】ゲート絶縁膜内（及び界面）の化学的結合状態を示す分子構造図である。

【図3】各種雰囲気において熱処理した際のライフタイム（寿命）の飽和電流依存性を示す特性図である。

【図4】重水素熱処理後、各種熱処理を行なった際のライフタイム（寿命）の飽和電流依存性を示す特性図である。

【図5】ゲート電極の上層に各種絶縁膜を形成した後に、重水素を導入する様子を示す概略断面図である。

【図6】D、H、Nの深さ方向のプロファイルを示す概略断面図である。

【図7】Ti膜をゲート絶縁膜として形成する一例を示す概略断面図である。

【図8】本実施形態のCMOSトランジスタの製造方法を工程順に示す概略断面図である。

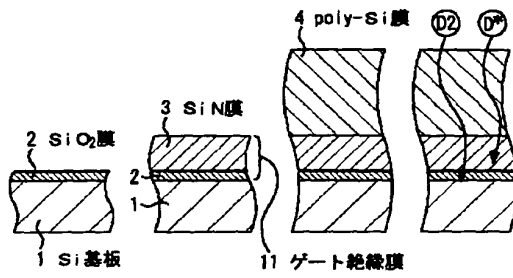
【図9】図8に引き続き、本実施形態のCMOSトランジスタの製造方法を工程順に示す概略断面図である。

【符号の説明】

- 1, 31 シリコン基板
- 2 SiO<sub>2</sub>膜
- 3 SiN膜
- 4 多結晶シリコン膜
- 11, 34 ゲート絶縁膜
- 12, 35 ゲート電極
- 13 サイドウォール
- 14, 39 層間絶縁膜
- 21 Tiターゲット
- 22 Ti膜
- 30 Nウェル
- 32 素子分離構造
- 33 溝
- 36a, 36b ソース／ドレイン
- 38 Co-Si層
- 43 コンタクト孔
- 44 コンタクトプラグ（Wプラグ）

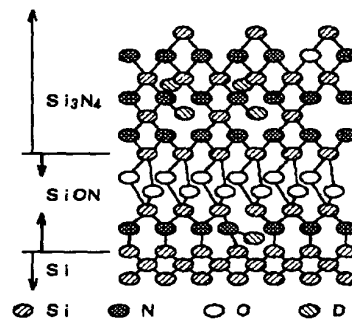


【図1】



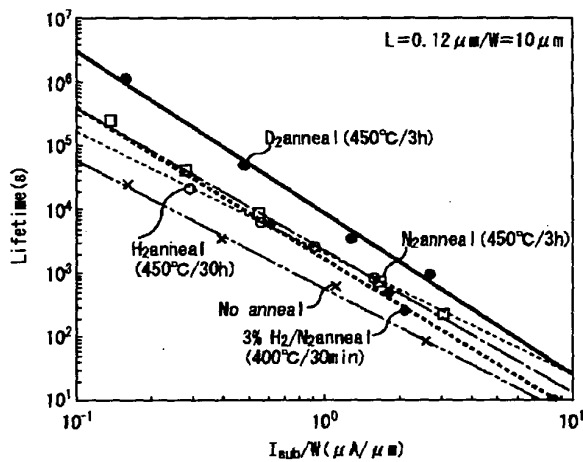
ゲート絶縁膜への重水素導入

【図2】



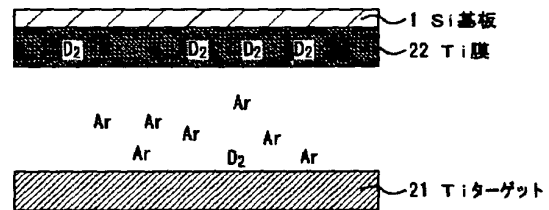
酸化膜+窒化膜の積層構造

【図3】



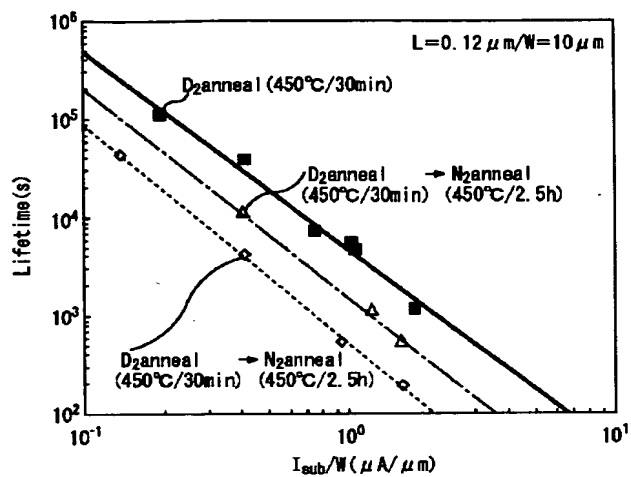
各種熱処理におけるライフタイムの飽和電流依存性

【図7】



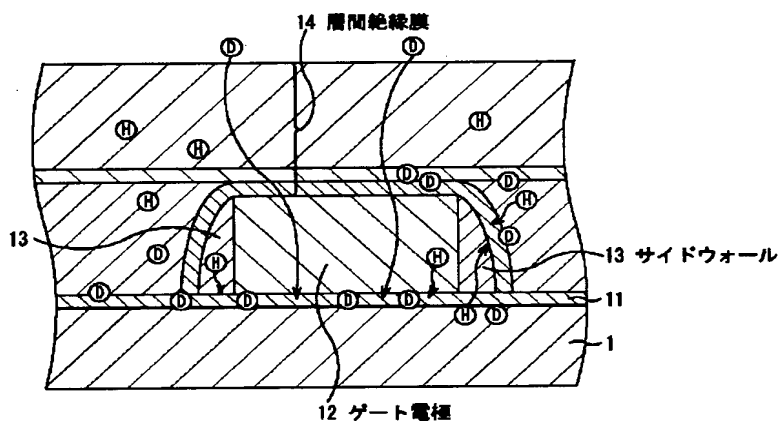
希釈D2雰囲気中でTiを含んだ膜をスパッタ成膜

【図4】



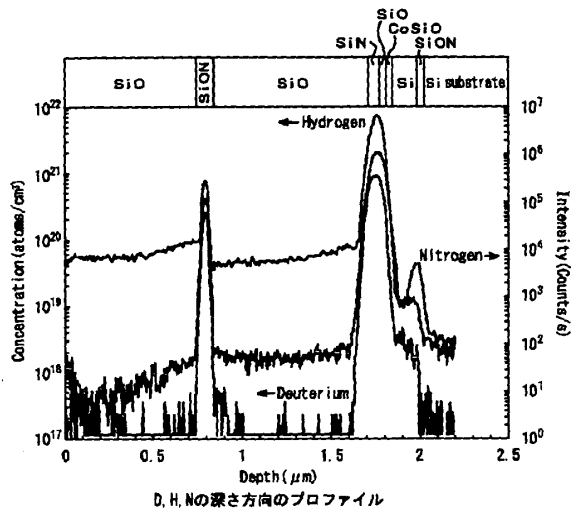
D熱処理後に各種熱処理を行った場合におけるライフタイムの飽和電流依存性

【図5】

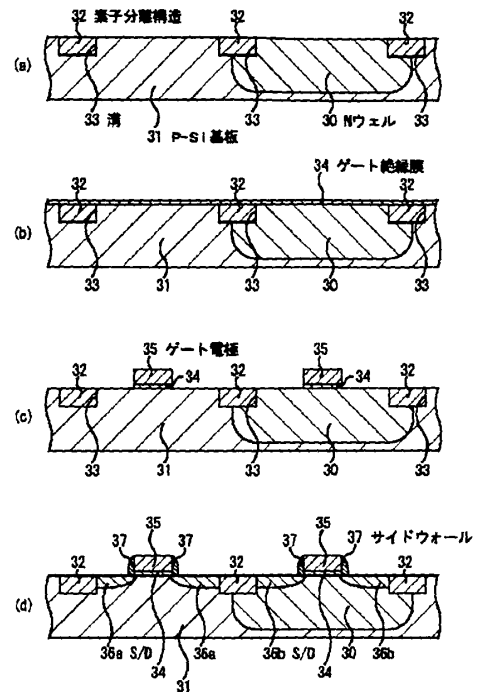


重水素の導入例

【図6】

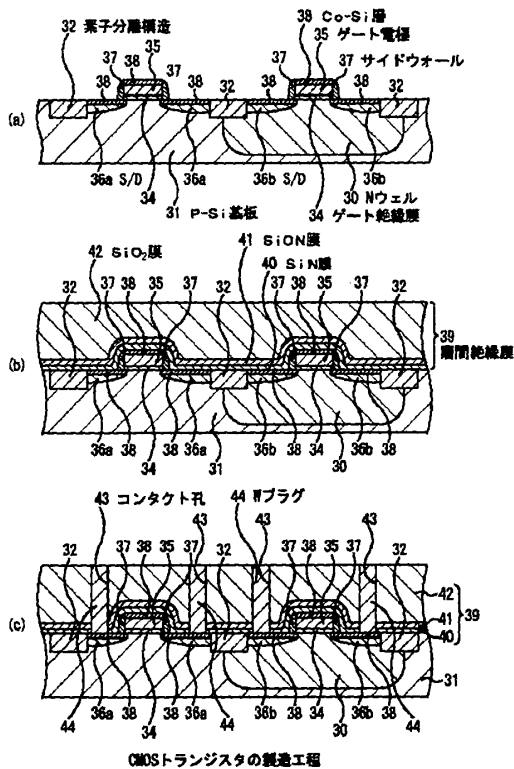


【図8】



CMOSトランジスタの製造工程

【図9】



## フロントページの続き

(72)発明者 渡邊 悟  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内  
(72)発明者 田村 泰之  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内  
(72)発明者 綿谷 宏文  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72)発明者 大橋 英明  
愛知県春日井市高蔵寺町二丁目1844番2  
富士通ヴィエルエスアイ株式会社内  
Fターム(参考) 5F040 DA17 DC01 EC01 EC07 EC13  
ED01 ED03 ED05 ED06 EH02  
EJ03 EK01 EK05 EL01 EL02  
EL06 FA05 FC15 FC19 FC21  
5F048 AA01 AA07 AC03 BA01 BB05  
BB08 BB11 BB12 BG01 BG13  
DA25